

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 62-141754

From line 17 of the lower left column on page 2 to line 11 of the upper left column on page 3

(Operation)

Figure 1 is a sectional view of the high-voltage semiconductor device, illustrating the operation according to the present invention. Reference numbers and terms denoting respective members in Figure 1 are the same as in Figure 2. In Figure 1, the n-type well region 3, which is lowered in its impurity concentration by compensating-diffusion, is formed only in the vicinity of the p⁺ drain region 4 and the p-offset gate region 5 which are required to have high p-n junction withstandning voltage, and the vicinity of the p⁺ source region 6 are kept high in its impurity concentration. Since the impurity concentration of the well is high in the vicinity of the source, it is possible to prevent potential change of the well in the vicinity of the drain, which is caused by majority carriers generated by avalanche multiplication in the vicinity of the drain. As a result, it becomes possible to restrain breakdown of elements due to parasitic bipolar effect. Moreover, it is effective for preventing punch through between the source and the drain. The n-type well region 3 can be easily obtained by compensating-diffusing an impurity such as boron or the like

after forming the n-type well region 2.

Figure 3 is also a sectional view of the high-voltage semiconductor device, illustrating the operation according to the present invention. Reference numbers and terms denoting respective members in Figure 3 are the same as in Figure 2. The n-type well region 3, which is lowered in its impurity concentration by compensating-diffusion, is formed in the entirety of the high-voltage MOS transistor. Further, the n-type well region 10 is formed so as to cover only the source portion of the high-voltage MOS transistor. Referring to the high-voltage MOS transistor structured in Figure 1, the impurity concentration of the well in the channel region may become excessively high, whereby the threshold voltage is increased. On the other hand, the threshold voltage can be controlled with the n-type well region 10 in the high-voltage transistor structure in Figure 3. The n-type well region 3 is obtained by compensating-diffusing an impurity such as boron or the like after forming the n-type well 2. The n-type well region 10 is also easily formed by compensating-diffusing phosphorous. While the n-type well region 3 is formed to reach the outermost side of the n^+ region 7 in Figure 3, the present invention can be carried out only if the n-type well region 3 is reached to the source portion.

From line 16 of the upper left column to line 1 of the upper right column on page 3

Each of Figures 4 and 5 is a sectional view of the high-voltage semiconductor device, illustrating another embodiment in which plural

high-voltage MOS transistors with offset gates are formed in one well. It is possible to form, in one well, high-voltage MOS transistors having the same source potential.

From lines 6 to 16 of the upper right column on page 3

Further, as shown in Figure 5, the n-type well region 3, which is lowered in its impurity concentration by compensating-diffusion, and the plural n-type well regions 10 are formed. Since a high-withstanding voltage well requires a large two-dimensional layout margin at a portion therearound, a decreased chip area can be attained by forming, in one well, transistors that operate at the same source potential.

Although in the above examples, the first conductivity is set p-type and the second conductivity is set n-type, it is clear from the above explanation that the present invention can be easily carried out if the first conductivity is set n-type and the second conductivity is set p-type.



(19)

(11) Publication number:
Generated Document.

62141754 A

PATENT ABSTRACTS OF JAPAN

(21) Application number: 60283891

(51) Int'l. Cl.: H01L 27/10 H01L 29/78

(22) Application date: 16.12.85

(30) Priority:

(43) Date of application publication: 25.06.87

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: HAYAMA HIROSHI

(74) Representative:

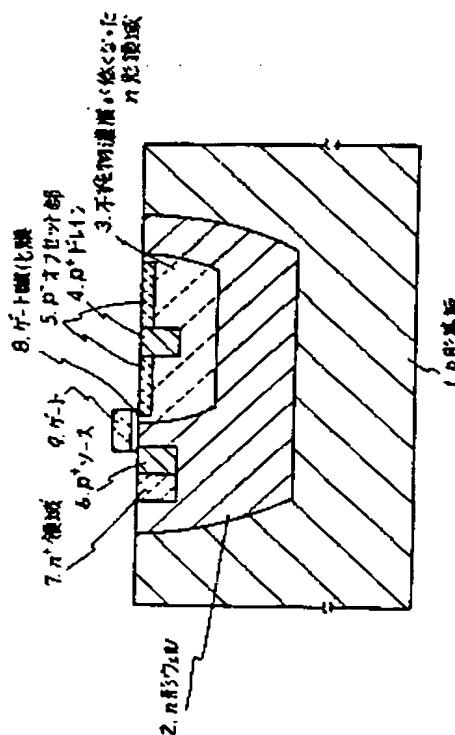
(54)

HIGH-DIELECTRIC-STRENGTH SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent the parasitic bipolar effect and the punch through, by compensating a second-conductivity-type impurity by a first-conductivity-type impurity whose concentration is increased near the surface for providing a diffusion well having the second type of conductivity in which the effective concentration of the second-conductivity-type impurity is decreased near the surface.

CONSTITUTION: In a semiconductor device, a substrate 1 having a first type of conductivity is provided with a diffusion well 2 having a second type of conductivity. One or several offset-gate-type MOS transistor(s) having the first type of conductivity and high dielectric strength are provided within the second-conductivity-type diffusion well 2. The second-conductivity-type impurity is compensated by a first-conductivity-type whose concentration is increased near the surface, only in the regions close to drain and offset gate sections 4 and 5 of the high-dielectric-strength MOS transistor having the first type of conductivity. In this manner, the diffusion well 3 having the second type of conductivity is provided such that the effective concentration of the second-conductivity-type impurity therein is decreased near the surface. For example, the N-type well region 3 whose impurity concentration is decreased by the compensation diffusion is formed only in the region near the p+ drain region 4 and the p- offset gate region 5 where the pn junction dielectric strength is required, while the concentration of impurity is left high in the region near a p+ source in 6.



⑫ 公開特許公報 (A)

昭62-141754

⑤ Int. Cl.¹
H 01 L 27/10
29/78識別記号
厅内整理番号
7735-5F
8422-5F④ 公開 昭和62年(1987)6月25日
審査請求 未請求 発明の数 2 (全4頁)

⑤ 発明の名称 高耐圧半導体装置

② 特願 昭60-283891
② 出願 昭60(1985)12月16日⑦ 発明者 葉山 浩 東京都港区芝5丁目33番1号 日本電気株式会社内
⑦ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号
⑦ 代理人 弁理士 内原 晋

明細書

発明の名称 高耐圧半導体装置

特許請求の範囲

(1) 第1導電形の基板に、第2導電形拡散ウェルを設け、該第2導電形拡散ウェル中に、単数、又は、複数の第1導電形オフセットゲート形高耐圧MOSトランジスタを有する半導体装置において、該第1導電形オフセットゲート形高耐圧MOSトランジスタのドレイン部とオフセットゲート部の近傍のみを、表面近傍で濃度を高めた第1導電形不純物により、第2導電形不純物を補償し、表面近傍で実効的な第2導電形不純物濃度を下げた構造の前記第2導電形拡散ウェルを有することを特徴とする高耐圧半導体装置。

(2) 第1導電形の基板に、第2導電形拡散ウェルを設け、該第2導電形拡散ウェル中に、単数、又は、複数の第1導電形オフセットゲート形高耐圧MOSトランジスタを有する半導体装置において、該第1導電

形オフセットゲート形高耐圧MOSトランジスタ部全体を、表面近傍で濃度を高めた第1導電形不純物により、第2導電形不純物を補償し、表面近傍で実効的な第2導電形不純物濃度を下げた構造を有し、さらに、該第1導電形オフセットゲート形高耐圧MOSトランジスタのソース部のみを覆うように第2導電形拡散ウェルを設けた構造の前記第2導電形拡散ウェルを特徴とする高耐圧半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、高耐圧CMOSに関するものである。

(発明が解決しようとする問題点)

低電圧制御回路により高電圧出力を制御する高耐圧集積回路はディスプレイ駆動用や、プリンタ駆動用として重要である。本発明者は、昭和60年特許願第184741号において「高耐圧半導体素子」を発明し、従来は製造不可能であった拡散ウェル中のオフセットゲート形高耐圧MOSトランジスタを製造可能にして、高耐圧CMOSを1チップ集積化できる高耐圧半導体素子を製造可能にした。第2回

は前記発明による高耐圧半導体素子の断面図を示している。1のp形基板にn形ウェルを形成し、そのn形ウェルが2のn形ウェル領域と、3の補償拡散により不純物濃度が低くなったn形ウェル領域とを第2図の様に有するウェル中にオフセットゲート形高耐圧PMOSトランジスタを製造したもので、4はp+ドレイン領域、5はp-オフセットゲート領域、6はp+ソース領域、7はn+領域、8はゲート酸化膜、9はゲート電極である。

この様な構造の高耐圧MOSトランジスタでは、p+ソース領域7の近傍のウェル不純物濃度も低くなっている。一般に高耐圧MOSトランジスタを製造する場合には、低不純物濃度の基板が用いられる。そのため、ドレイン近傍でなだれ増倍により発生した多数キャリアが基板に流れ込み、基板抵抗が高いため電圧降下を引き起こし、ソース/基板接合が順バイアスされ素子の破壊を引き起こす。この現象は寄生バイポーラ効果と呼ばれている。寄生バイポーラ効果は当然ウェル中に形成した高耐圧MOSトランジスタにも発生する。第2図に示し

た前記発明による高耐圧半導体素子は、pn接合耐圧が不要なソース領域6の近傍も低不純物濃度化されている。そのため、寄生バイポーラ効果により素子の破壊が引き起こされやすい。また、ソース・ドレイン間のパンチスルー現象も発生しやすい。

本発明は前記の発明による高耐圧半導体素子に発生する寄生バイポーラ効果、および、パンチスルー現象を抑制することが可能な高耐圧半導体装置を提供することを目的とする。

(問題を解決するための手段)

上記した問題を解決するため、本発明では、

(1) 第1導電形の基板に、第2導電形拡散ウェルを設け、該第2導電形拡散ウェル中に、単数、又は、複数の第1導電形オフセットゲート形高耐圧MOSトランジスタを有する半導体装置において、該第1導電形オフセットゲート形高耐圧MOSトランジスタのドレイン部とオフセットゲート部の近傍のみを、表面近傍で濃度を高めた第1導電形不純物により、第2導電形不純物を補償し、表面近傍で実効的な第

2導電形不純物濃度を下げた構造の前記第2導電形拡散ウェルを有することを特徴とする高耐圧半導体装置、又は、

(2) 第1導電形の基板に、第2導電形拡散ウェルを設け、該第2導電形拡散ウェル中に、単数、又は、複数の第1導電形オフセットゲート形高耐圧MOSトランジスタを有する半導体装置において、該第1導電形オフセットゲート形高耐圧MOSトランジスタ部全体を、表面近傍で濃度を高めた第1導電形不純物により、第2導電形不純物を補償し、表面近傍で実効的な第2導電形不純物を下げた構造を有し、さらに、該第1導電形オフセットゲート形高耐圧MOSトランジスタのソース部のみを覆うように第2導電形拡散ウェルを設けた構造の前記第2導電形拡散ウェルを有することを特徴とする高耐圧半導体装置を用いる。

(作用)

第1図は本発明の作用を示す高耐圧半導体装置の断面図である。図中の各部の番号と名称は第2図と同じである。第1図において、補償拡散により不純

物濃度が低くなれたn形ウェル領域3は、pn接合耐圧が必要なp+ドレイン領域4、及びp-オフセットゲート領域5の近傍のみに形成し、p+ソース領域6の近傍は不純物濃度が高いままの状態にしておく。ソース近傍のウェル不純物濃度が高いために、ドレイン近傍でのなだれ増倍により発生した多数キャリアによるソース近傍のウェルの電位の変化を防止できる。その結果、寄生バイポーラ効果による素子の破壊を抑制することが可能となる。さらに、ソース・ドレイン間のパンチスルー現象を防止することにも効果がある。n形ウェル領域3はn形ウェル2を形成した後、ボロン等の不純物を補償拡散することにより簡単に得られる。

第3図も本発明の作用を示す高耐圧半導体装置の断面図である。図中の各部の番号と名称は第2図と同じであるが、補償拡散により不純物濃度が低くなれたn形ウェル領域3は、高耐圧MOSトランジスタ部全体に形成する。さらに、高耐圧MOSトランジスタのソース部のみを覆うように、10のn形ウェル領域を設ける。第1図の構造の高耐圧MOSトラン

ジスタでは、チャンネル領域のウェル不純物濃度が高くなりすぎ閾値電圧が上昇してしまう場合がある。一方、第3図の構造の高耐圧MOSトランジスタでは、n形ウェル領域10により、閾値電圧を制御できる。n形ウェル領域3はn形ウェル2を形成した後、ボロン等の不純物を補償拡散すること等により形成できる。n形ウェル領域10はさらに、リンを拡散するなどして簡単に形成できる。第3図においてはn形ウェル領域3はn+領域7の外側まで形成されているが、ソース部まで形成されれば本発明を実施できる。

(実施例)

第1図と第3図は本発明の実施例も示す高耐圧半導体装置の断面図である。その内容について(作用)において詳述している。

第4図と第5図は別の実施例を示す高耐圧半導体装置の断面図であり、ひとつのウェル中に複数のオフセットゲート形高耐圧MOSトランジスタを形成した例である。ソース電位が共通な高耐圧MOSトランジスタはひとつのウェル中に形成可能

である。その場合、第4図の様にウェル中の複数のオフセットゲート形高耐圧MOSトランジスタのp+ドレイン領域4、及び、p-オフセットゲート領域5の近傍に対応して、複数の、補償拡散により不純物濃度が低くなったn形ウェル領域3を形成する。また、第5図のように、補償拡散により不純物濃度が低くなったn形ウェル領域3と、複数のn形ウェル領域10を形成する。高耐圧のウェルはウェルの周辺部に大きな平面的レイアウトマージンを必要とするから、同一ソース電位で動作させるトランジスタは同一のウェル中に形成すれば、チップ面積を減少させることが可能となる。

以上の例では、第1導電形としてp形を、第2導電形としてn形を例にとり説明したが、第1導電形をn形、第2導電形をp形としても、本発明を容易に実施できることは以上の説明により明らかである。

(発明の効果)

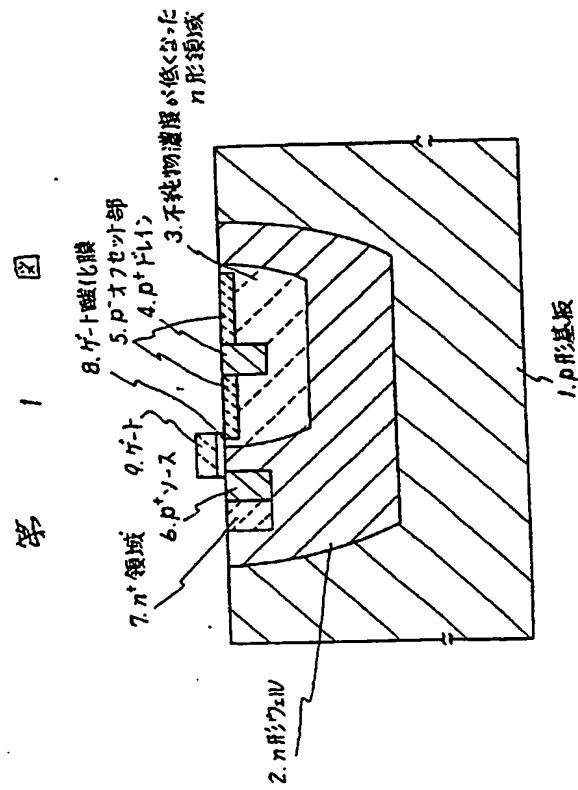
本発明によれば、寄生バイポーラ効果による素子の破壊を抑制することが可能な、拡散ウェル中のオフセットゲート形高耐圧MOSトランジスタを

製造することが可能となり、1チップ内に高性能の高耐圧CMOSを製造することが可能となる。また、高耐圧半導体素子のパンチスルーエフェクトを防止する効果もある。

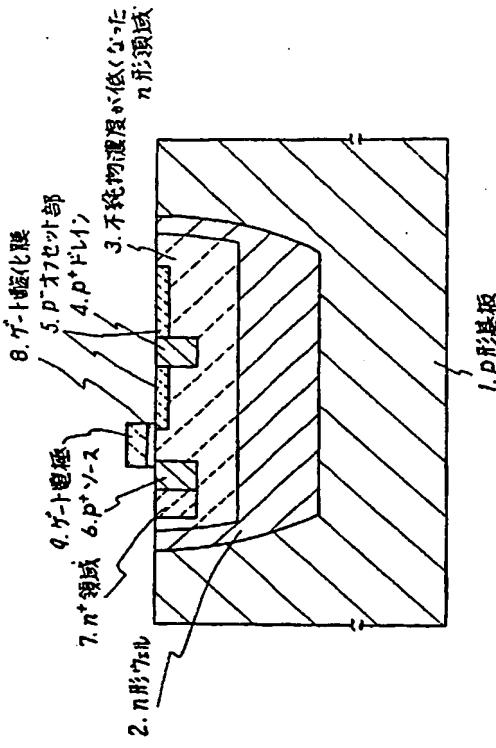
図面の簡単な説明

第1図と第3図は本発明の作用と実施例を示す高耐圧半導体装置の断面図、第2図は本発明者が既に出願している高耐圧半導体断面図、第4図と第5図は本発明の他の実施例を示す高耐圧半導体装置の断面図である。

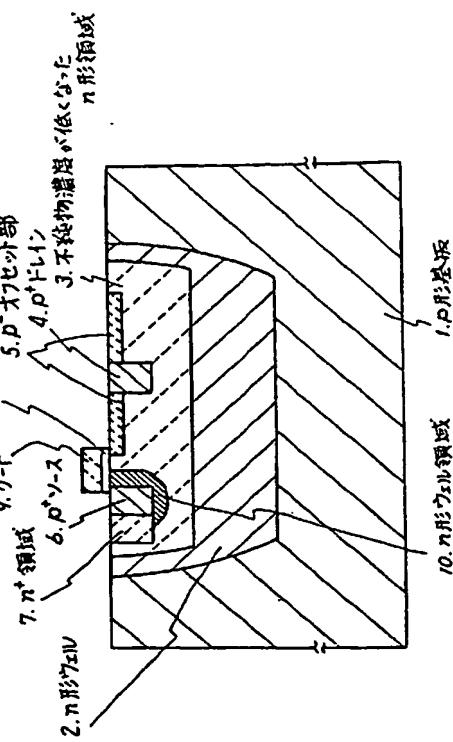
- 1…p形基板 2…n形ウェル領域
- 3…補償拡散により不純物濃度が低くなったn形ウェル領域
- 4…p+ドレイン領域
- 5…p-オフセットゲート領域
- 6…p+ソース領域
- 7…n+領域
- 8…ゲート酸化膜
- 9…ゲート電極
- 10…n形ウェル領域



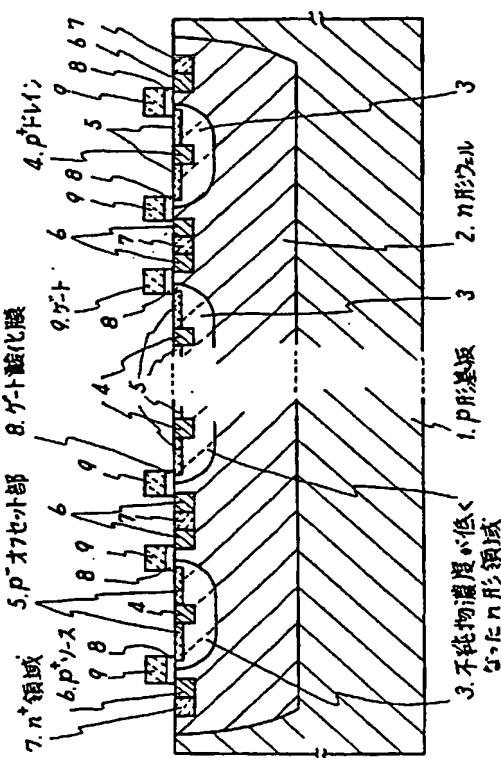
第2図



第3図



第4図



第5図

